



Agilent U1082A

Acqiris 高速 PCI データ・コンバータ

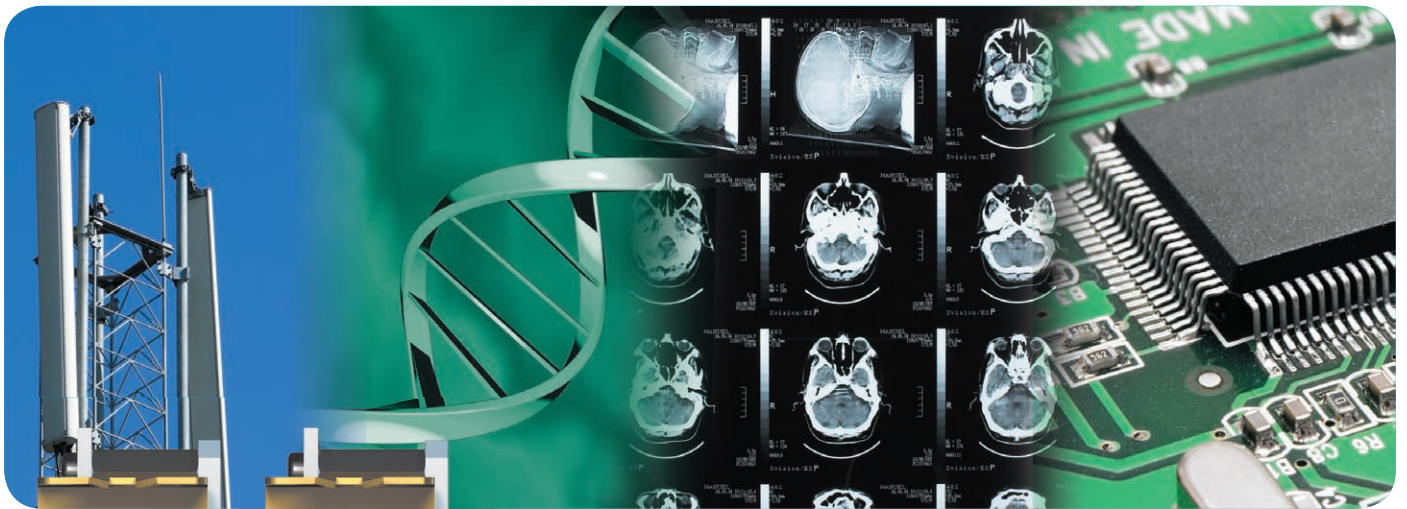
AP240 : 8 ビット、2 チャンネル、1 GHz、
1 ~ 2 G サンプル /s

AP235 : 8 ビット、2 チャンネル、500 MHz、
0.5 ~ 1 G サンプル /s

連続波形データ記録、アベレージング、
高速ピーク検出用ファームウェア



Agilent Technologies



主な特長



制御 I/O

- 最大 2G サンプル /s のサンプリング・レート
- デュアル/シングル・チャンネル・モード
- リアルタイム・データ処理用オンボード FPGA
- さまざまな測定に対応した 3 つのファームウェア・オプション
- 最大 1 GHz のアナログ帯域幅、内部校正、入力保護機能を備えた 50 Ω フロントエンド・メザニン
- トリガ、クロック、基準、制御信号用の多目的 I/O コネクタ
- Windows®, VxWorks、LabVIEW RT、Linux 用のデバイス・ドライバと、MATLAB®, C/C++、Visual Basic、LabVIEW、LabWindows/CVI 用サンプル・プログラム

Windows は Microsoft Corporation の登録商標です。
 MATLAB は The Math Works, Inc. の登録商標です。
 LabVIEW、LabWindows は National Instruments 社の製品です。
 VxWorks は、Wind River Systems, Inc. の登録商標です。

Acqiris 高速データ・コンバータ

Agilent Acqiris 高速デジタルイザに用いられている ADC チップセットは、高速 ADC 性能の最適化を目的として設計されています。アナログ・フロントエンド・テクノロジーは、G サンプル /s の高速データ収集レートの実現に不可欠なシグナル・コンディショニング、増幅、インタリーブ機能を提供します。デジタル・データ処理コンポーネントは、収集したデータを最大のスループットで捕捉／記憶するために必要なクロック／同期信号を供給します。これらの ASIC の組み合わせにより、低パワー／高忠実度のデータ収集が簡単になり、ホスト PC やプロセッサへのデータ・スループットの最大化により測定のと時間とコストを削減できます。

Acqiris 製品ラインには、8、10、12 ビットの分解能、広帯域、大容量の収集メモリを備えたさまざまな高速デジタルイザ・カード¹⁾がそろっています。これらの製品は、PCI、PXI、cPCI、VME 等の各種バス用で使用できる Acqiris 製品は、バイオテクノロジー、半導体、航空宇宙、物理学、天文学などの分野で、研究、ATE、OEM などのアプリケーションで利用されています。

リアルタイム解析が可能な高速デジタルイザ

Agilent Acqiris U1082A 高速データ・コンバータは、デュアル・チャンネル、8 ビットの PCI デジタルイザ・カードで、リアルタイム・データ処理用にオンボード高速 FPGA を搭載し、以下の特長があります。

- 28,672 個以上のロジック・セル
- 最大 1.7 M ビットのオンボード RAM
- 36 ビットの結果を出力するために専用の 18 ビット × 18 ビット乗算器を 96 個搭載
- 乗算を 8.5 ns 未満で実行可能

ファームウェア・オプションは、オンザフライでのデータ処理に使用できます。これらのオプションにより、アナライザ・プラットフォームで独自のポスト・プロセッシングが実行でき、簡単に FPGA にアップロードできます。

またファームウェア・オプションにより、データ収集やアナライザの柔軟性の大幅な向上、構成変更が容易になります。さらに収集したデータに対して、さまざまなオンボード信号処理が実行できます。

デュアル・チャンネル／フロント・パネル制御

U1082A は、高性能デジタルイザをベースにし、フロントエンドにシグナル・コンディショニング (校正済みの利得とオフセット・レンジ) を備えたコンパクトなカードです。このカードは、直接デスクトップ PC に装着でき、真のデュアル・チャンネル・データ収集／解析システムを構築できます。

オンボード FPGA との通信を容易にするために、フロント・パネルにリアルタイム処理制御用の 2 個のデジタル I/O コネクタが装備されています。

U1082A-001 は、最も高い性能を持っています。各チャンネルには、1 GHz 帯域幅、1 G サンプル /s の ADC、標準で 6 MB (オプションで 24 MB) のメモリが備わっています。一方、U1082A-002 は、中高速信号のアプリケーション用のコストパフォーマンスの高いソリューションです。このフロントエンド帯域幅は 500 MHz で、サンプリング・レートは各チャンネルで最大 500 M サンプル /s です。シングル・チャンネル・アプリケーションの場合は、どちらのプラットフォームでも、2 つのチャンネルをインタリーブすることにより、使用可能メモリを 2 倍、最大サンプリング・レートを最大 1 G サンプル /s (U1082A-002) または 2 G サンプル /s (U1082A-001) にして、分解能を向上させることができます。

容易なソフトウェア・インテグレーション

Agilent 高速 Acqiris デジタルイザには、Windows、Linux、LabVIEW RT、VxWorks 用のソフトウェア・ドライバ と、MATLAB、C/C++、Visual Basic、LabVIEW、LabWindows/CVI 用のプログラム・サンプルが付属しています。これらのサンプルは、デジタルイザのセットアップと基本収集機能に関するもので、これらを活用してカードを測定システムに簡単に統合できます。ドライバの柔軟性により、最小限のソフトウェア変更で、Acqiris デジタルイザを取り外したり、交換したり、将来最新の高速 Acqiris デジタルイザにアップグレードできます。

1) 500 M サンプル /s、1 G サンプル /s、2 G サンプル /s、4 G サンプル /s、8 G サンプル /s の高速デジタルイザ・カード

統合されたテクノロジー

50 mV ~ 5 V フル・スケール

数 GHz 帯域幅のアナログ・フロントエンド

フロントエンド回路の入力電圧は、50 mV ~ 5 V のフルスケールに対応し、電圧オフセットも変更できます。また増幅器の応答もフラットで、オーバーシュートが小さく、確度が高いため、最高精度の測定ができます。さらに、50 Ω 入力は過電圧信号から保護されています。フロントエンド回路には、内部校正機能、フィルタ、高速リカバリ機能が装備されています。フロントエンド全体は取り外し可能なメザニン・カードに実装されているため、何らかの原因で破損したりコンポーネントが消耗した場合でも簡単に交換できます。

正確なチャンネル・インタリーブ

U1082A は、最大 1 G サンプル/s のサンプリング・レート (U1082A-002 では最大 500 M サンプル/s) によるデータ収集が可能です。さらにインタリーブにより、シングル・チャンネル・モードでは、最大 2 G サンプル/s のサンプリング・レート (U1082A-002 では最大 1 G サンプル/s) を実現しています。

リアルタイム FPGA の制御

フロント・パネルには、2 個のデジタル I/O MMCX 型コネクタ (I/O P1 および P2) があり、FPGA のダイレクト制御が可能です。例えば、アベレージング用ファームウェアがインストールされている場合、フロント・パネルのデジタル・ラインを使って、アベレージングの加算や減算の指定ができます。これは基準値設定時の平均化処理に便利です。

マルチ I/O ポート



制御 I/O

フロント・パネルの高密度／高周波コネクタにより、トリガ／タイムベースをさらに柔軟に制御できます。4 つの MMCX 型のフロント・パネル・コネクタでは、外部クロック (U1082A-001 では最大 2 GHz、U1082A-002 では最大 1 GHz) または基準信号 (10 MHz)、トリガ出力、2 つの I/O デジタル制御ライン (I/O A および B) を使用できます。I/O B は、デジタイザのステータスと設定のモニタや変更、トリガ・ゲーティングの制御などに利用できます。また、この I/O は 10 MHz 内蔵基準クロック出力としても使用できます。

高精度タイムベース

各デジタイザは、高精度タイムベースを備えています。サンプリング・レートは、1、2、2.5、4、5 のシーケンスで 100 M サンプル/s ~ 2 G サンプル/s (U1082A-002 では 1 G サンプル/s) の範囲で設定できます。サンプリング・レートを収集対象の信号に同期させる必要があるアプリケーションでは、専用の MMCX CLK IN コネクタを用いて、外部クロックを使用することもできます。

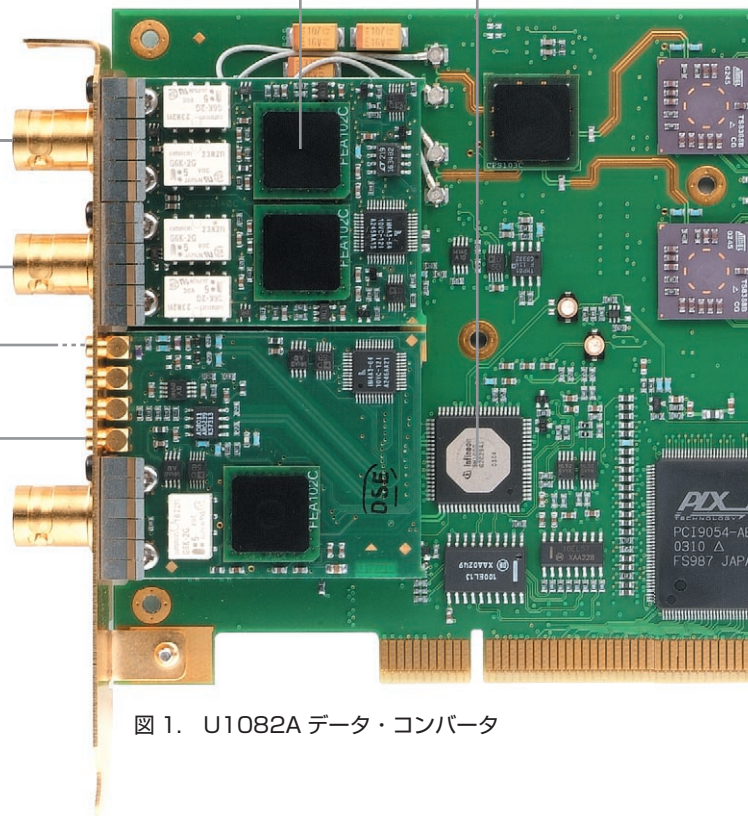
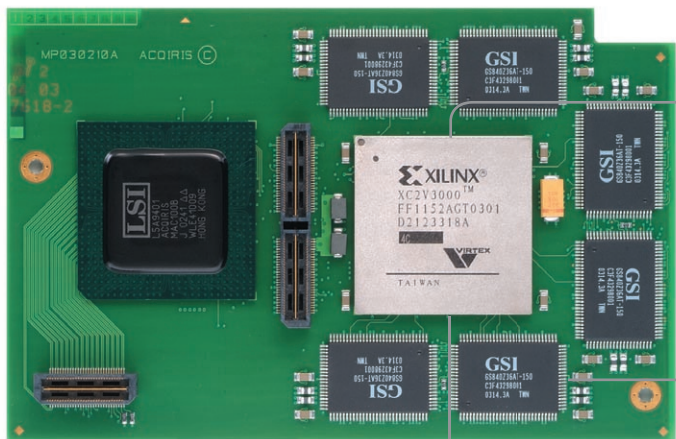
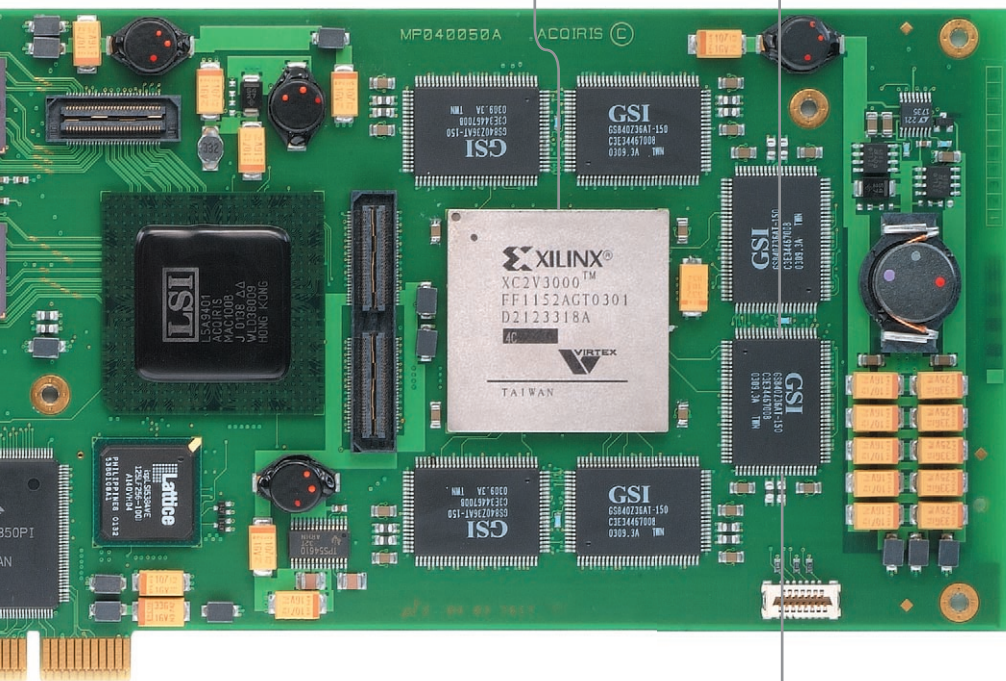
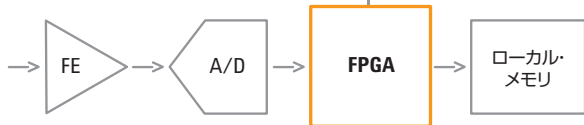


図 1. U1082A データ・コンバータ



オンボード FPGA によるオンザフライ処理

リアルタイム処理用の2個のオンボード FPGA (Xilinx Virtex-2®) はさまざまな構成に変更することができます。ファームウェア・オプションを使い分けることにより、さまざまなオンザフライ処理を収集データに対して行えます。



高データ・スループット

アナライザは、1つのロング PCI スロットを持つ PC に容易にインストールでき、高速 PCI バスを使用してデータ転送が可能です。デジタル化されたデータは、DMA モードで最大 100 MB/s の転送レートでホスト PC に転送できます。

大容量メモリ

標準のメモリは 1 チャンネルあたり 6 MB、オプションのロング・メモリは 1 チャンネルあたり 24 MB です。

Virtex-2 は Xilinx Inc. の登録商標です。

Acqiris 高速 PCI データ・コンバータ・プラットフォーム モデル AP240 (U1082A-001)

デュアル・チャンネル、8ビット、2 G サンプル /s、1 GHz 帯域幅

モデル AP235 (U1082A-002)

デュアル・チャンネル、8ビット、1 G サンプル /s、500 MHz 帯域幅

信号入力

チャンネル

U1082A-001 : 1 G サンプル /s (デュアル)、
2 G サンプル /s (シングル)

U1082A-002 : 500 M サンプル /s
(デュアル)、
1 G サンプル /s (シングル)

帯域幅 (−3 dB)

-001 : DC ~ 1 GHz

-002 : DC ~ 500 MHz

帯域制限フィルタ

-001 : 700 MHz、200 MHz、20 MHz

-002 : 200 MHz、20 MHz

フル・スケール (FS)

50 mV、100 mV、200 mV、500 mV、
1 V、2 V、5 V

オフセット・レンジ

± 2 V (50 mV ~ 500 mV FS)

± 5 V (1 V ~ 5 V FS)

最大入力電圧

± 5 V DC

カップリング

AC、DC

インピーダンス

50 Ω ± 1%

コネクタ

BNC または SMA、金メッキ

デジタル変換

サンプリング・レート

-001 : 100 サンプル /s ~ 2 G サンプル /s

-002 : 100 サンプル /s ~ 1 G サンプル /s
1、2、2.5、4、5 のシーケンス

分解能

8 ビット

DNL

± 0.9 LSB

タイムベース

クロック確度

± 2 ppm 以内

サンプリング・ジッタ

< 10 ps rms (20 μs に対して、内部ク
ロックおよび基準を使用)

内部／外部トリガ

外部トリガ入力

しきい値調整範囲 : (FS/2, -FS/2)、
FS = 500 mV、1 V、2 V、5 V の場合
インピーダンス : 50 Ω
最大入力電圧 : ± 5 Vdc
振幅範囲 : > 10% FS

カップリング

DC、AC 低周波除去 (50 Hz カットオフ)、
高周波除去 (50 kHz カットオフ)

モード

エッジ、正／負

ウィンドウ

HF : 4 分周

制御 I/O (MMCX)

Ctrl I/O A および B 信号

TTL および CMOS 互換 (3.3 V)

Ctrl I/O A および B 出力

10 MHz 基準クロック出力、50 Ω イン
ピーダンス

収集アクティブ

次セグメントに収集をスキップ

トリガ準備完了

Ctrl I/O A および B 入力

トリガ・イネーブル

TRG OUT

オフセット : ± 2.5 V (無負荷)

振幅 : ± 0.8 V (無負荷)、最大 ± 15 mA

立ち上がり／立ち下がり時間 :

2.5 ns (50 Ω 負荷)

カップリング : DC

出力インピーダンス : 50 Ω

CLK IN 外部クロック／基準

振幅 : > 1 V p-p (50 Ω 負荷)

しきい値 : − 2 V ~ + 2 V で可変

最大入力電圧 : ± 5 V DC

CLK IN 外部クロック入力

-001 : 20 MHz ~ 2 GHz

-002 : 20 MHz ~ 1 GHz

CLK IN 外部基準周波数

9 MHz ~ 10.2 MHz

システム性能

DC 確度

± 2.0% FS (≥ 100 mV FS)
± 2.5% FS (50 mV FS)

有効ビット数 (最大サンプリング・レート)、代表値

7.0 (10.7 MHz、200 MHz BWL)
6.4 (99.5 MHz、200 MHz BWL)
5.6 (407 MHz、700 MHz BWL)

INL

< ± 1% FS

SFDR (代表値)

>55 dB (10.7 MHz)
>40 dB (407 MHz)

一般仕様

ホスト・コンピュータおよびオペレーティング・システム

Microsoft Windows XP、Windows 2003 Server、Windows 2000、Wind River VxWorks、National Instruments LabVIEW RT、Linux が動作している PC 互換 (x86) システム。

Wind River VxWorks が動作している PowerPC システム。

サポートされているプロセッサとオペレーティング・システムの詳細については、計測お客様窓口までお問い合わせください。

転送速度

高速 PCI バスによるホスト・コンピュータへのデータ転送レート：
最大 100 M バイト /s (32 ビット /33 MHz 動作の場合)

環境 / 物理仕様

動作温度

0 ~ 40 °C

相対湿度

5 ~ 95% (非結露)

寸法

PCI ロング規格

安全規格

EN61010-1 準拠

EMC イミュニティ

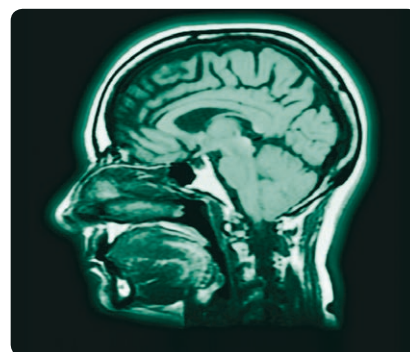
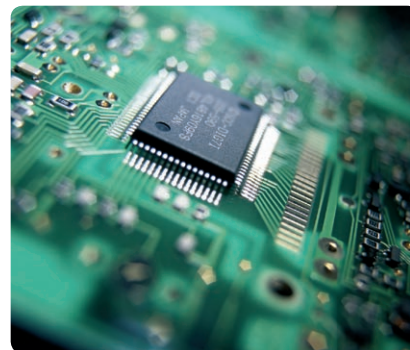
EN61326-1 準拠
工業環境

EMC エミッション

放射エミッションに関して EN61326-1 クラス A 準拠

消費電力

ファームウェア・オプション仕様を参照



連続波形データ記録ファームウェア (オプション-SSR)

- デュアル・バンク・メモリ・システムにより、ホスト PC への連続波形データ記録を実現
- 1 GHz の帯域幅で最大 1 G サンプル /s のデュアル・チャンネル・サンプリング (シングル・チャンネル・モードでは 2 G サンプル /s)
- デッド・タイムがきわめて短いため、最大 100 kHz のレートでのシーケンシャル記録が可能
- スマート・ゲーティング・モードにより、データを効果的に選択してイベント転送レートを向上
- 連続バースト信号を G サンプル /s で、最大 500 kHz のトリガレートで収集可能
- 100 M サンプル /s のデータ収集とホスト PC へのデータ転送が連続で実行可能。(シングルセグメントモードでの捕捉率は 99.995%)

自動スイッチング機能搭載のデュアル・バンク・メモリ

-SSR ファームウェア・オプションを使用すると、U1082A の内蔵 FPGA をプログラムして、デジタル化した波形をデュアルバンク・メモリシステムに自動的にピンポン方式で記録できます。ピンポン・モードでは、1つのメモリ・バンクに波形または波形シーケンスを記録している間に、もう1つのメモリ・バンクを、カードの高速 PCI バス経由で最大 100 MB/s のレートで読み取ることができます。アナライザ・プラットフォームは、最大 2 G サンプル /s (-002 オプションでは 1 G サンプル /s) のサンプリング・レートで波形を記録できます。

きわめて短いバンク切り替えデッド・タイム

連続シーケンシャル保存 (SSR) ファームウェアは、セマフォ方式により、1つめのバンクがいっぱいになると自動的に2つめのバンクに切り替えてデータを記録します。高速スイッチングと最先端のトリガ回路を組み合わせるにより、デッド・タイムは非常に短くなり、きわめて高いトリガ・レートで自動シーケンシャル波形記録が行えます。例えば、1 G サンプル /s でデジタル化された、長さ 1 μ s の連続波形を、メモリ・バンク 1つあたり 1,000 セグメントで連続的に収集し、最大 100,000 回 /s (サンプリング・レートが 2 G サンプル /s の場合は 50,000 回 /s) のレートで PC に転送できます。

| トリガ・レート | セグメント長 | セグメント数 | サンプリング・レート |
|---------|------------|--------|-------------|
| 100 kHz | 1,000 ポイント | 1,000 | 1 G サンプル /s |
| 50 kHz | 2,000 ポイント | 1,000 | 2 G サンプル /s |

表 1. 高いトリガ・レートでのデータ収集

効率的なデータ選択を可能にするスマート・ゲーティング機能

-SSR ファームウェアのスマート・ゲーティング機能を使用すると、イベント転送レートを最大化し、効率的にデータを選択し、不要な情報を除去することができます。これにより、最大トリガ・レートが向上します。設定条件として“predefined gates”と“threshold-defined gates”があり、“predefined gates”ではユーザが定義したタイミング・レンジでデータを収集し、“threshold-defined gates”では、しきい値電圧の上または下のデータ・ポイントを収集します。1 G サンプル /s で、1,000 ポイントのセグメントを 1,000 個収集する場合は、3 分の 1 以下のデータ削減を実現できれば、トリガ・レートを 300 kHz 以上に向上できます。

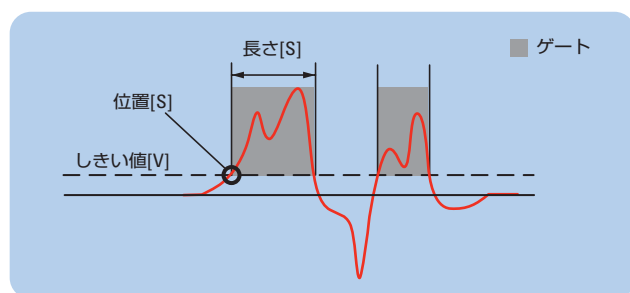


図 2. 「しきい値データ・ゲーティング」によるデータ削減

バースト波形を記録に便利なシーケンシャル・モード

U1082A と -SSR ファームウェア・オプションの組み合わせは、高速シーケンシャル信号やバースト信号（またはパルス）の収集に最適です。アプリケーションとして、シグナル・インテリジェンス、合成アパーチャ・レーダ、超音波、レーダ、ライダーなどがあります。また、G サンプル /s の高速サンプリング・レートで長さ $1 \mu\text{s}$ の波形を最大 500 kHz のトリガ・レートでシーケンシャル収集が可能になります。さらにロングメモリ・オプション (U1082A-M24) を使用すると、各メモリ・バンクで 1,000 ポイントで最大 8,191 セグメントを収集できます。

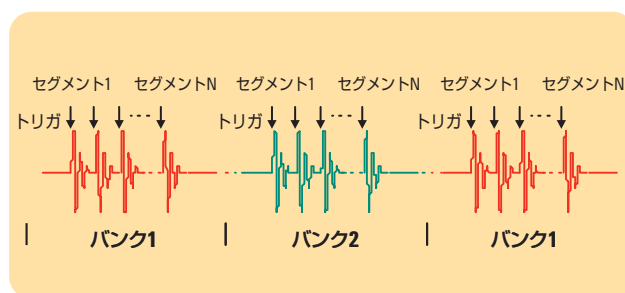


図 3. バースト波形シーケンス

連続波形データ記録ファームウェア (U1082A-SSR)

収集機能

収集メモリ・バンク・サイズ

2～4 Mサンプル(1サンプルは8ビット)
8～16 M サンプル (1 サンプルは8ビット)
(-M24 オプション使用時)

メモリ・バンクのセグメント数

1～8,191 個にプログラム可能

連続収集

シングル・セグメント収集モードで 100 M サンプル /s のサンプリング・レート、99.995% の捕捉率。
(1 または 2 G サンプル /s のサンプリング・レートで、10 分の 1 または 20 分の 1 のデータ削減が可能な場合)

セグメント長

デュアル・チャンネル・モードでは、16 サンプルから 2～8 M サンプルの範囲内で、16 サンプルのステップでプログラム可能。
シングル・チャンネル・モードでは、32 サンプルから 4～16 M サンプルの範囲内で、32 サンプルのステップでプログラム可能。

タイム・ベースとトリガ

収集モード

- シングル・セグメント
 - シーケンシャル (複数のセグメント)
- 連続するトリガ間のデッド・タイムは < 1.5 μ s (1 つのメモリ・バンク内)

プリトリガ

使用不可

ポストトリガ遅延 (サンプル数)

デュアル・チャンネル・モードでは、0 サンプルから 16 M サンプルの範囲内で、16 サンプルのステップでプログラム可能。
シングル・チャンネル・モードでは、0 サンプルから 32 M サンプルの範囲内で、32 サンプルのステップでプログラム可能。

連続トリガ・レート¹

最大 100 kHz (シーケンシャル・モード)
最大 330 kHz (データ・ゲーティング機能を使用し、3 分の 1 以下のデータ削減が可能な場合)

バースト・トリガ・レート²

最大 400 kHz (バースト内)

トリガ入力とのクロック同期

2 G サンプル /s または 1 G サンプル /s (デュアル・チャンネル時)
 \pm 200 ps (同期)
 \pm 500 ps (非同期)

1 G サンプル /s (シングル・チャンネル時)

\pm 325 ps (同期)
 \pm 1 ns (非同期)

トリガ出力同期

< \pm 100 ps (サンプリング・クロックを基準)

収集トリガ・タイムスタンプ

トリガ時間は 10 MHz 基準クロックを使用して記録されます。FPGA 制御ラインのハードウェア信号でリセットできます。

システム性能

読み取りモード

生データ

データ・ゲーティング、チャンネル毎に定義可能：
定義済みゲート
しきい値定義ゲート (しきい値の前後のサンプルを含む)

オンボード自動スイッチ

自動スイッチング機能搭載のデュアル・バンク・メモリ・アーキテクチャ。
オンボード自動スイッチングのデッド・タイム (メモリバンク間) : < 2 μ s

1) シーケンシャル・モード、メモリ・バンク 1 つあたり 1,000 セグメント、1 セグメントあたり 1,000 サンプル、1 G サンプル /s

2) シーケンシャル・モード、波形の長さ 1 μ s、ポストトリガ遅延 0、サンプリング・レート > 1 G サンプル /s

一般仕様

消費電力 (代表値)

37 W (最大サンプリング・レート)

電流要件 (代表値)

| | | |
|---------|----------|----------|
| | U1082A | ファン |
| + 12 V | < 0.84 A | - |
| + 5 V | < 2.0 A | < 0.16 A |
| + 3.3 V | < 5.0 A | - |
| - 12 V | < 0.03 A | - |

高速波形データ・アベレージング・ファームウェア (オプション-AVG)

- 最大トリガ・レート > 333 kHz のデュアル・チャンネル・リアルタイム・サンプリング／アベレージング
- 1 セグメントあたり 1 ~ 65,536 トリガのアベレージング
- 1 チャンネルあたりのアベレージング・メモリを 2 ~ 8 M サンプルの範囲で制御可能
- ラウンド・ロビンおよび標準セグメント・アベレージング
- フロント・パネルからの加算／減算制御が可能なトリガ開始モード
- 確度向上のためのトリガ／クロック同期モード
- ノイズ抑圧アキュムレーション (NSA)
- ADC ディザリングによる 12 ビットのダイナミック・レンジ
- 内蔵 TDC ヒストグラム・モードにより、タイム・ドメインで信号ピークの分布を表示可能

デュアル・チャンネル高速アベレージング

U1082A-AVG ファームウェア・オプションは、内蔵 FPGA をプログラムすることにより、カードの最大サンプリング・レートでリアルタイム・アベレージングが可能になります。

信号のアベレージングは、ランダム・ノイズの影響を低減して、S/N 比を向上させるとともに、分解能とダイナミック・レンジを改善する効果があります。

最大 1 G サンプル /s のリアルタイム・サンプリング・レートによる超高速の積算機能を 2 チャンネル同時に利用でき (シングル・チャンネル・モードではどちらかの入力で 2 G サンプル /s)、ホスト PC に非常に高速にデータを転送できます。

標準アベレージングとラウンド・ロビン

アベレージングした複数の波形をきわめて短いデッド・タイムで収集する必要がある場合は、アベレージング・メモリをセグメント化することもできます。これにより、積算データを 1 ~ 8,191 個のセグメント長で記録できます。セグメント長はプログラム可能です。

標準アベレージング・モードでは、1 セグメントあたりのトリガ数 N をユーザが選択します。次のセグメントは、前の N 個のトリガが処理された後で開始されます。

ラウンド・ロビンも使用可能です。このモードでは、連続するトリガが異なるセグメントに積算されます。例えば、ステイミュラス／レスポンス・テストで、1 つのセグメントをアベレージングしたステイミュラス用に、もう 1 つをアベレージングしたレスポンス用に使用できます。

加算／減算機能

アベレージング・ファームウェアでは、リアルタイム処理制御 I/O コネクタを使って、トリガの到着時に、新しいトレースのデータを加算するか減算するかを選択することもできます。これにより、バックグラウンド・ノイズの処理方法を制御できます。

16 ビットのデータ読み取り

アプリケーションで 24 ビット精度のデータが不要な場合は、16 ビットの高速読み取り機能も使用できます。

タイミングの向上

連続して収集されたトリガのタイミング確度を高めるために、アベレージング・ファームウェアは、入力トリガに対して 2 つのサンプリング・モード(同期／非同期)をサポートしています。非同期モードでは、トリガ信号によりデジタイズが開始されますが、トリガは内部サンプリング・クロックと同期されず、1 つの収集を別の収集に加算する際のジッタは、± (サンプリング周期の 1/2) の範囲内です(デュアル・チャネル・モードの場合)。同期モードは、トレース間のジッタを最小化する必要のあるアプリケーションに適したモードです。トリガ信号を受信すると、デジタイズが開始され、内部タイミング回路を使って、サンプリング・クロックが ± 200 ps (2 G サンプル/s でのサンプリングの場合) の範囲内でトリガと同期されます。このモードのもう 1 つの利点は、信号のアベレージングに伴うシステム帯域幅の損失を最小化できることです。

ノイズ抑圧アキュムレーション (NSA)

飛行時間型分光法などの一部のアプリケーションでは、ノイズの多いベースライン上で信号が低頻度で発生し、ランダム・ノイズはアベレージング・プロセスにより低減されます。一方、同期ノイズが存在する場合でも、このような信号を検出できるようにするために、-AVG ファームウェアではデータ値を合計に反映するかどうかを決めるしきい値をユーザが設定できます。

さらに、ユーザの便宜のためと、合計データのオーバーフローを防ぐために、加算の前に各データ値から一定の値(ノイズ・ベース)を減算することができます。同様の機能は、立ち下がりが信号に対しても行えます。

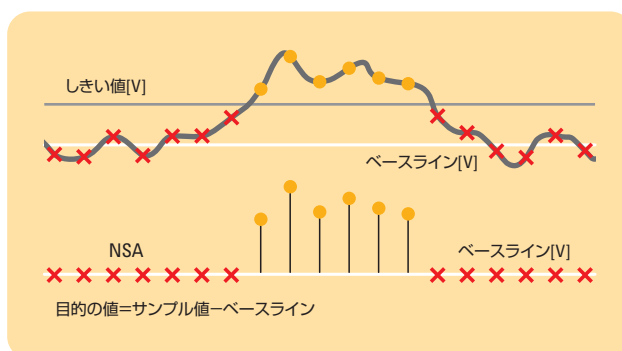


図 4. ノイズ抑圧アキュムレーションを使用した信号検出

高速波形データ・アベレージング・ファームウェア (U1082A-AVG)

収集機能

収集メモリ・サイズ

2 M サンプル/チャンネル (1 サンプルは 24 ビット)
8 M サンプル (1 サンプルは 24 ビット)
(-M24 オプション使用時)

メモリのセグメント数

1 ~ 8,191 個にプログラム可能

ディザリング

フル・スケールの 0 ~ 12% の範囲で調整可能

1 セグメントあたりのトリガ数

1 ~ 65,536 にプログラム可能

FPGA 制御 (I/O P1、P2)

データを加算するか減算するかをトリガごとにリアルタイム制御可能

TDC ヒストグラム

ビン幅はサンプリング周期と同じ増分はプログラム可能

セグメント長

デュアル・チャンネル・モードでは、16 サンプルから 2 ~ 8 M サンプルの範囲内で、16 サンプルのステップでプログラム可能。

シングル・チャンネル・モードでは、32 サンプルから 2 ~ 8 M サンプルの範囲内で、32 サンプルのステップでプログラム可能。

NSA

V しきい値と V ベース (しきい値) をフル・スケールの 0.4% のステップでプログラム可能

タイム・ベースとトリガ

レンジ

-001: 2 G サンプル/s で最大 1 ms、オプションで 4 ms (-M24 オプション使用時)
-002: 1 G サンプル/s で最大 2 ms、オプションで 8 ms (-M24 オプション使用時)

トリガ入力とクロックの同期

2 G サンプル/s または 1 G サンプル/s (デュアル・チャンネル)
± 200 ps (同期)
± 500 ps (非同期)

1 G サンプル/s (シングル・チャンネル)

± 325 ps (同期)
± 1 ns (非同期)

プリトリガ

使用不可

トリガ出力同期

< ± 100 ps (サンプリング・クロックを基準)

ポストトリガ遅延 (サンプル数)

デュアル・チャンネル・モードでは、0 サンプルから 16 M サンプルの範囲内で、16 サンプルのステップでプログラム可能。シングル・チャンネル・モードでは、0 サンプルから 32 M サンプルの範囲内で、32 サンプルのステップでプログラム可能。

収集トリガ・タイムスタンプ

トリガ時間は 10 MHz 基準クロックを使用して記録されます。FPGA 制御ラインのハードウェア信号でリセットできます。

収集モード

- シングル・セグメント
- 標準アベレージング
- ラウンド・ロビン

連続するトリガ間のデッド・タイムは 3 μs

システム性能

アベレージング分解能

24 ビット

PCI 転送

最大 25 M サンプル/s (24 ビット・データ読み取りの場合)

最大 50 M サンプル/s (16 ビット・データ読み取りの場合)

コヒーレント・ノイズ (代表値)

バックグラウンド減算あり:

0.005 LSB RMS (85 dB SNR)

フル帯域幅および長期安定度

バックグラウンド減算なし:

0.025 LSB RMS (71 dB SNR)

条件: 65,536 個のトリガ、10k サンプル、入力信号なし、外部トリガ、500 mV フルスケール、ゼロ・オフセット、ディザリング

有効ビット数 (1 G サンプル/s, 代表値)

9.0 (10 MHz)

8.5 (100 MHz)

6.2 (400 MHz)

条件: 65,536 個のトリガ、10k サンプル、500 mV フルスケールで ± 40% の信号振幅、ディザリング

一般仕様

消費電力 (代表値)

43 W (最大サンプリング・レート)

電流要件 (代表値)

| | | |
|---------|----------|----------|
| | U1082A | ファン |
| + 12 V | < 0.84 A | - |
| + 5 V | < 2.0 A | < 0.16 A |
| + 3.3 V | < 7.0 A | - |
| - 12 V | < 0.03 A | - |



時間-デジタル・コンバータおよび高速ピーク検出 ファームウェア (オプション-TDC)

- 最大 1 G サンプル /s のデュアル・チャンネル・リアルタイム・サンプリング
- 最大 2 G サンプル /s のインタリーブ・シングル・チャンネル・サンプリング (どちらかの入力を使用)
- 1 チャンネルあたり 2 M または 8 M サンプルのメモリ
- 高度なヒステリシス・アルゴリズムによるピーク検出
- サンプリング周期の 1/16 までの時間分解能で 12 ビット・ピーク補間
- デュアル・バンク (ピンポン) メモリおよびポスト収集処理により、高いデータ・スループットを実現
- PC への生データ、ピーク領域、ピーク・データの出力
- ピーク振幅/時間データ転送によるデータ削減
- オンボード TDC ヒストグラム作成機能により、1 ビンあたり最大 40 億カウントのピーク・カウントまたは振幅ヒストグラムを作成可能

高度なピーク検出/判定

U1082A-TDC ファームウェアは、超音波、ライダ、飛行時間型分光などの飛行時間測定に最適で、Agilent Acqiris AP240 および AP235 アナライザ・プラットフォームの内蔵 FPGA をプログラムして、最大 2 G サンプル /s (AP235 では 1 G サンプル /s) の高度なピーク識別/位置検出が行えます。

ヒステリシス・アルゴリズムによるピーク検出

このファームウェアでは、ピーク検出にヒステリシスを使用した高度なアルゴリズムにより、複数のピークを検出できます。

まず、データ収集中にゲート領域が定義されます。データ収集が終わると、アルゴリズムによるピーク探索が始まります。信号が最小値から開始デルタ値だけ増加すると、アルゴリズムはデジタル化されたデータ・ストリームからピーク値を探します。信号レベルが現在の最大値から有効デルタ値だけ下がると、データ・ブロック内の最大値がピークと認識されます。その後、アルゴリズムは、次に信号が開始デルタ値だけ増加する箇所を探します。この手法により、広い領域内で複数のピークを定義でき、ピークが波形データ内に高い密度で存在する場合にも対応できます。ファームウェアは、負のピーク検出にも使用できます。

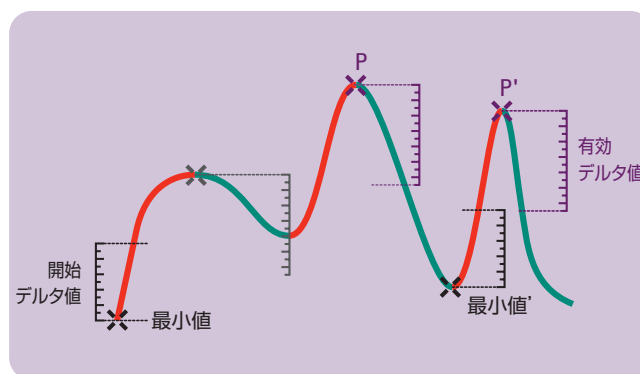


図 5. ヒステリシス・アルゴリズムを使用したピーク判定

ピーク補間

正確な測定のために、ピーク時間／振幅は補間ルーチンを使って決定されます。ピーク最大値の位置は、ヒステリシス・アルゴリズムが発見した3つのポイントに12ビットの2次スプラインをフィッティングすることにより求められ、時間 (T_{max}) と振幅 (V_{max}) で定義されます。これにより、時間分解能が向上し、サンプリング周期 (AP240では31.3 ps、AP235では62.5 ps) の1/16およびADC分解能の1/16でエンコードされます。これは特に、よく似た一連の波形からヒストグラム (または平均) を作成する場合に便利です。

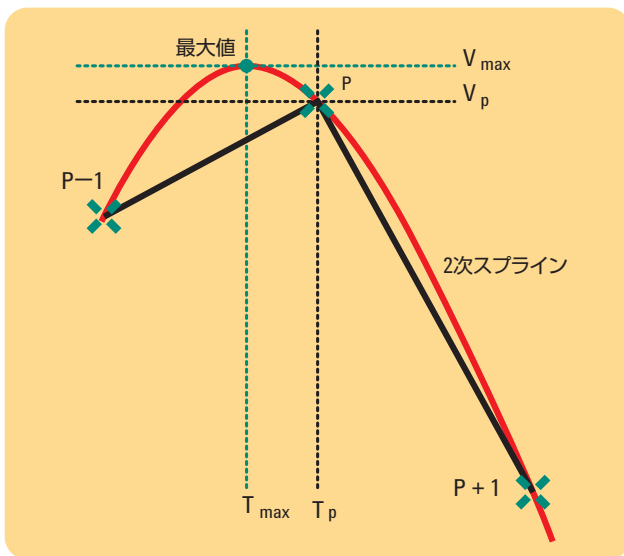


図 6. 2次スプラインによるピーク補間

データ出力モード

このファームウェアは、ホスト PC へのデータ・スループットを適切に維持するために柔軟なデータ出力を提供します。

「データ・ゲーティング」モードでは、収集されたデータは単純な連続シーケンシャル保存 (SSR) 方式で処理されます。このピンポン・メモリ・モードでは、1つのメモリ・バンクに書き込んでいる間に、もう1つのメモリ・バンクで読み取られ、アナライザ・カードの高速 PCI バス経由で最大 100 MB/s のレートで転送できます。

「ピーク領域」モードでは、認識された最大ポイントと、その近傍の7または15個のポイントが得られるので、ユーザは必要に応じて標準以外の補間ルーチンを使用できます。

「ピーク・データ」モードでは、すべてのピークの振幅と位置がホストに送信され、後処理が行えます。

「ヒストグラム」モードでは、ピーク・タイミング／振幅データからボード上で TDC ヒストグラムが作成されます。1データ・ビンあたり 31 ps という高い時間分解能と、1ビンあたり 40 億カウントが使用でき、増分は、カウントまたはピーク振幅が可能です。

時間-デジタル・コンバータおよび高速ピーク検出 ファームウェア U1082A-TDC

収集機能

収集メモリ・バンク・サイズ

2~4 Mサンプル(1サンプルは8ビット)
8~46 Mサンプル(1サンプルは8ビット)
(-M24 オプション使用時)

メモリ・バンクのセグメント数

1~8,191 個にプログラム可能

セグメント長

デュアル・チャンネル・モードでは、16 サンプルから2~8 Mサンプルの範囲内で、16 サンプルのステップでプログラム可能。
シングル・チャンネル・モードでは、32 サンプルから4~16 Mサンプルの範囲内で、32 サンプルのステップでプログラム可能。

タイム・ベースとトリガ

収集モード

- シングル・セグメント
- シーケンシャル (複数のセグメント)
連続するトリガの間のデッド・タイムは $< 1.5 \mu\text{s}$ (1つのメモリ・バンク内)

プリトリガ

使用不可

ポストトリガ遅延 (サンプル数)

デュアル・チャンネル・モードでは、0 サンプルから16 Mサンプルの範囲内で、16 サンプルのステップでプログラム可能。
シングル・チャンネル・モードでは、0 サンプルから32 Mサンプルの範囲内で、32 サンプルのステップでプログラム可能。

連続トリガ・レート¹

最大 100 kHz (シーケンス・モード)
最大 330 kHz (データ・ゲーティング・モードを使用し、3分の1以下のデータ削減が可能な場合)

バースト・トリガ・レート²

最大 500 kHz (バースト内)

トリガ入力とのクロック同期

2 G サンプル /s または 1 G サンプル /s
(デュアル・チャンネル)
 $\pm 200 \text{ ps}$ (同期)
 $\pm 500 \text{ ps}$ (非同期)

1 G サンプル /s (シングル・チャンネル)

$\pm 325 \text{ ps}$ (同期)
 $\pm 1 \text{ ns}$ (非同期)

トリガ出力同期

$< \pm 100 \text{ ps}$ (サンプリング・クロックを基準)

収集トリガ・タイムスタンプ

トリガ時間は 10 MHz 基準クロックを使用して記録されます。FPGA 制御ラインのハードウェア信号でリセットできます。

システム性能

読み取りモード

ピーク領域データ、または各イベントのピーク・データ
ピーク・データのヒストグラム

データ・ゲーティング、チャンネル毎に定義可能：
定義済みゲート
しきい値定義ゲート (しきい値の前後のサンプルを含む)

オンボード自動スイッチ

自動スイッチング機能搭載のデュアル・バンク・メモリ・アーキテクチャ。
収集間のオンボード自動スイッチングのデッド・タイム (メモリバンク間)：
 $< 2 \mu\text{s}$

1) シーケンシャル・モード、メモリ・バンク 1 つあたり 1,000 セグメント、1 セグメントあたり 1,000 サンプル、1 G サンプル /s

2) シーケンシャル・モード、波形の長さ $1 \mu\text{s}$ 、ポストトリガ遅延 0、サンプリング・レート $> 1 \text{ G サンプル /s}$

一般仕様

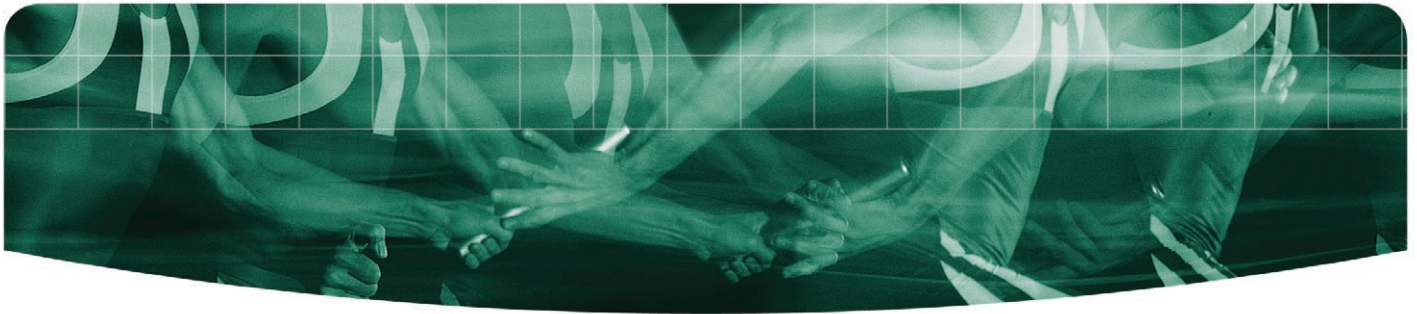
消費電力 (代表値)

47 W

最大 56 W

最大電流要件

| | U1082A | ファン |
|---------|----------|----------|
| + 12 V | < 1.1 A | - |
| + 5 V | < 2.8 A | < 0.16 A |
| + 3.3 V | < 8.4 A | - |
| - 12 V | < 0.04 A | - |



オーダ情報

モデル

| | |
|------------|--|
| U1082A | Acqiris AP240 および AP235 高速 8 ビット PCI データ・コンバータ・プラットフォーム |
| U1082A-001 | 1 GHz、1 ~ 2 G サンプル /s、AP240 |
| U1082A-002 | 500 MHz、0.5 ~ 1 G サンプル /s、AP235 |
| U1082A-M24 | U1082A 用 24 MB メモリ |
| U1082A-SSR | 連続波形データ記録ファームウェア |
| U1082A-AVG | 連続波形データ・アベレージング・ファーム ウェア |
| U1082A-TDC | 時間-デジタル・コンバータおよび高速ピーク 検出ファームウェア |

アクセサリ

| | |
|------------|---------------|
| U1082A-UK6 | 校正証明書および校正データ |
|------------|---------------|

概要

アジレント・テクノロジー株式会社
本社 〒192-8510 東京都八王子市高倉町 9-1

計測お客様窓口

受付時間 9:00-19:00 (土・日・祭日を除く)

FAX、E-mail、Web は 24 時間受け付けています。

TEL ■■ 0120-421-345
(042-656-7832)

FAX ■■ 0120-421-678
(042-656-7840)

Email contact_japan@agilent.com

電子計測ホームページ
www.agilent.co.jp

www.agilent.co.jp

Acqiris 製品ライン、販売、サービスの詳細については、
Agilent の Web サイトをご覧ください：

www.agilent.co.jp/find/acqiris

- 記載事項は変更になる場合があります。
ご発注の際はご確認ください。

© Agilent Technologies, Inc.2008

Published in Japan, December 16, 2008
5989-7124JAJP
0000-00DEP



Agilent Technologies